

CLIPPEDIMAGE= JP361113246A

PAT-NO: JP361113246A

DOCUMENT-IDENTIFIER: JP 61113246 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: May 31, 1986

INVENTOR-INFORMATION:

NAME

MITA, ARIO

ISHIKAWA, MASAMICHI

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP59235837

APPL-DATE: November 7, 1984

INT-CL (IPC): H01L021/58

ABSTRACT:

PURPOSE: To cut down the production cost by means of bonding all semiconductor chips simultaneously by a method wherein a semiconductor chips are arranged on the chip bonding part through the intermediary of an adhesive layer to be heated and molten.

CONSTITUTION: A solder layer 4 is formed on the laser chip connecting part of each element forming region 2. The solder layer 4 is composed of tin formed on a metallic layer such as e.g. gold, nickel etc. easily adaptable to solder. A semiconductor laser chip 7 is located on the solder layer 4 while a semiconductor substrate 1 is heated by means of passing it through a tunnel furnace or inserting it into a vacuum baking furnace to bond the semiconductor laser chip 7 on the laser chip connecting part of semiconductor substrate 1 through the intermediary of the solder layer 4. Through these procedures, the production cost of semiconductor device may be cut down remarkably since all

semiconductor laser chips 7 for overall element forming regions on the substrate 1 are bonded simultaneously.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報(A)

昭61-113246

⑮ Int. Cl.⁴
H 01 L 21/58識別記号 庁内整理番号
6732-5F

⑬ 公開 昭和61年(1986)5月31日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭59-235837

⑱ 出 願 昭59(1984)11月7日

⑲ 発 明 者 三 田 有 男 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 発 明 者 石 川 雅 道 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソ ニ ー 株 式 会 社 東京都品川区北品川6丁目7番35号
⑲ 代 理 人 弁理士 小松 祐治 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体ウェハの各素子形成領域内の一部分上に半導体チップをボンディングし、その後ダイシングにより上記各素子形成領域をペレット化する半導体装置の製造方法において、上記半導体チップの上記一部分上へのボンディングを、各チップボンディング部上に加熱されて溶解する接着層を介して半導体チップを配置した状態で半導体ウェハに対して加熱処理を施すことにより同時に行うことを特徴とする半導体装置の製造方法

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体ペレットの表面の一部分に半導体チップをボンディングしてなる半導体装置の製造方法に関するものであり、多数の半導体チップのボンディングを同時に行うことができ、従って

製造コストを低くすることのできる新規な半導体装置の製造方法を提供しようとするものである。

従来技術

半導体レーザとしてレーザ出力を検出しその検出結果に応じて半導体レーザの駆動電流をコントロールしてレーザ出力を一定に保つことができるようにレーザ光検出用のフォトダイオードを備えたものがある。そして、そのようなモニタ用受光素子付きの半導体レーザとして、一部領域に受光素子が形成された半導体ペレットの他の領域表面上にチップ状のレーザダイオードをボンディングしてなるものがある。

ところで、一部領域に受光素子が形成された半導体ペレット、そして半導体ペレットにボンディングされるフォトダイオードチップ自身は、ウェハ状の半導体基板に対する半導体デバイス製造技術を駆使することによって比較的効率良く製造することができる。即ち、半導体ウェハに選択拡散

処理、半導体成長処理、電極形成処理等の一連の処理を施すことによって多数のフォトダイオード素子を同時に形成し、その各素子をダイシングすることによって同時に多数のフォトダイオードを形成することができる。又、レーザダイオードについても略同様である。

発明が解決しようとする問題点

しかしながら、ペレット化されたフォトダイオードの一部にレーザダイオードチップをボンディングすることは所謂バッチ処理によって行なうことができず、1つずつ行わなければならない。従って、そのチップボンディングに要するコストの半導体レーザの製造コストに占める割合が非常に大きく、それが半導体レーザの低価格化を制約する大きな要因になっていた。しかして、本発明はこの問題を解決すべく為されたものであり、各半導体チップの半導体基板へのボンディングをバッチ処理により行うことを可能にし、延いては半導体レーザ等の半導体装置の製造方法コス

チップを同時にチップボンディングすることができる。従って、製造効率が高くなり、半導体装置の製造方法コストを低くすることができる。

実施例

以下に、本発明半導体装置の製造方法方法を添附図面に示した実施例に従って詳細に説明する。

第1図(A)乃至(E)は本発明を半導体レーザの製造方法に適用した一つの実施例を工程順に示すものである。

(A) ウェハ状のN⁺型半導体基板1の各素子形成領域2、2、・・・に半導体デバイス製造技術によってPIN型のフォトダイオード3を形成し、その後、各素子形成領域2、2、・・・のレーザチップ接統部に半田層4を形成する。該半田層4は例えば金、ニッケル(Au/Ni)等半田となじみ易い金属層上に錫(Sn)を形成することにより構成される。

尚、該半田層4は後述する半導体レーザチップ

トを著しく低減化しようとするものである。

問題を解決するための手段

上記問題点を解決するため本発明半導体装置の製造方法は、半導体ウェハの各素子形成領域内の一部分上に半導体チップをボンディングし、その後ダイシングにより上記各素子形成領域をペレット化する半導体装置の製造方法において、上記半導体チップの上記一部分上へのボンディングを、各チップボンディング部上に加熱されて溶解する接着層を介して半導体チップを配置した状態で半導体ウェハに対して加熱処理を施すことにより同時に行うことを特徴とする。

作用

しかして、本発明半導体装置の製造方法によれば、半導体ウェハに対して加熱処理を施すことにより半導体ウェハの各素子形成領域のボンディング部と半導体チップとの間に介在せしめられたすべての接着層を同時に溶解させ、全部の半導体

をボンディングすべき領域表面上にその半導体レーザチップと平面形状が同じで且つ同じ大きさを有するように形成されており、そして、この半田層4の形成には蒸着及びフォトリソ技術が駆使される。

第1図(A)は半田層4形成後におけるウェハ状半導体基板1の全体を示す斜視図であり、同図において5は隣接する各素子形成領域2、2、・・・間を仕切るところの後述するハーフダイシングをすべき基盤格子状のラインを示す。

(B) 次に、半導体基板1を表面から基盤格子状の上記ライン5に沿ってハーフダイシングをする。6はハーフダイシングによって形成された溝である。第1図(B)はハーフダイシング後におけるウェハ状半導体基板1の全体を示す斜視図である。

(C) 次に、各素子形成領域2、2、・・・の半田層4上に半導体レーザチップ7、7、・・・を位置させる。この各半田層4、4、・・・上への半導体レーザチップ7、7、・・・の位置決め

については後で詳細に説明する。その状態でウェハ状の半導体基板1をトンネル炉に通しあるいは真空ベーク炉内に入れて加熱（加熱温度例えば250℃）することによって半導体レーザチップ7、7、・・・を半田層4、4、・・・を介して半導体基板1のレーザチップ接続部にボンディングする。尚、該半導体レーザチップ7、7、・・・のボンディングされる面には予め半田層4になじみの良い金属（例えば金、ニッケル「Au/Ni」）からなる層が形成されている。ボンディングされた半導体レーザチップ7、7、・・・のレーザ光出射端7aとハーフダイシングにより形成された溝6の内側面とは面一になるようにされる。第1図(C)は半導体レーザチップ7、7、・・・のボンディング後における状態を示す拡大斜視図である。

このように、本製造方法においてはベレット分割前に半導体レーザチップ7、7、・・・のボンディングを行うが、電気的特性、光学的特性の測定、検査、スクリーニング等も可能な限り半導体

（即ち、受光素子付の半導体レーザ）8をベレットボンディングし、次にシステムに取り付けられたリード10、10と半導体レーザチップ7及びフォトダイオード3の電極との間をワイヤボンディングする。11、11はワイヤである。

このような半導体レーザの製造方法によれば、ベレット状の半導体基板8、8、・・・に対して半導体レーザチップ10、10、・・・を各別にチップボンディングするのではなく、ウェハ状の半導体基板1の全部の素子形成領域2、2、・・・に対する半導体レーザチップ7、7、・・・のボンディングを一度に同時に行うので、1枚のウェハ状半導体基板に形成された多数（例えば1000個）の素子形成領域2、2、・・・に対するボンディングに要する製造コストを下げることができる。又、光学的特性、電気的特性の測定、検査、スクリーニングについても基板がウェハ状態のときに行なうことが可能となる。従って、特性の測定、検査、スクリーニングに要するコストの低減化を図ることもできる。

基板1がウェハ状のときに、即ちベレット分割前に行うと良い。

(D) その後、前記ハーフダイシングにより形成された溝6にてウェハ状の半導体基板1をブレイクすることにより個々のベレット8、8、・・・に分割する。この分割は半導体基板1の裏側を例えばピンセットで適度の力で突いて半導体基板に衝撃力を加えることによって、あるいは半導体基板1にそれを挟ませる適度な力を加えること等によって行う。半導体基板1を挟ませる場合には本実施例においては半導体基板1の表面が凸曲面になるように挟ませる。

この分割は具体的には先ずウェハ状の半導体基板1をバー状に分割し、バー状にされた複数の半導体基板1、1、・・・を更に分割してベレット状にするという方法で行うのが良い。第1図(D)はベレット分割後の状態を示す拡大斜視図である。

(E) その後、図示しないステムの表面に設けられたヒートシンク9上にベレット状半導体基板

尚、本発明半導体装置の製造方法の実施にあたって半導体レーザチップ7、7、・・・の各半田層4、4、・・・上への位置合せをより効率的に行うことが製造コストをより低下させるうえで好ましい。そこで、より好ましい位置合わせの方法について説明する。

第2図(A)乃至(C)はその位置合せ方法の一例を説明するためのものである。この位置合せには多数の半導体レーザチップ7、7、・・・を真空吸着するチップ吸着具12と、半導体レーザチップ7、7、・・・を該チップ吸着具12の各チップ吸着部へ案内するチップガイド板13とを用いる。チップガイド板13には多数のチップガイド孔14、14、・・・が形成されており、各チップガイド孔14、14、・・・の一方の側には半導体レーザチップ7をチップガイド孔14、14、・・・へ導くための傾斜面15が形成されている。又、チップ吸着具12は真空吸着孔16に枝孔17、17、・・・を介して連通された吸着凹部18、18、・・・を有しており、該吸着

凹部18、18、・・・及び上記チップガイド孔14、14、・・・は表面から見た形状が半導体レーザチップ7の平面形状と同じで、半導体レーザチップ7よりも僅かに大きく形成されており、共に、ウェハ状の半導体基板1上の半導体レーザチップ7、7、・・・を接続すべき半田層4、4、・・・と対応するように配置されている。又、吸着凹部8の深さはレーザチップ7の厚さよりも稍浅くされている。

そして、第2図(A)に示すようにチップ吸着具12をその吸着凹部18、18、・・・が形成された側の面を上向きにし、その稍上方にチップガイド板13をその各チップガイド孔14、14、・・・が吸着凹部18、18、・・・と対応するように位置させ、その上のチップガイド板13上に多数の半導体レーザチップ7、7、・・・をそのボンディング面が上向きで且つレーザ出射方向が所定方向を向くようにして置く。そして、そのチップガイド板13にその平面方向の適当な振動を与えるとチップガイド板13上の半導

体レーザチップ7、7、・・・が半導体基板1の半導体レーザチップ7をボンディングすべき各部分に位置決めされた状態になる。そして、この状態で加熱処理することによりチップボンディングすることができる。

第3図及び第4図は半導体レーザチップの位置合せ方法の別の例を説明するためのものである。この位置合せ方法には整列装置19が用いられる。該整列装置19は揺動台20とその上に置かれた位置決め板21とからなる。該位置決め板21には表面から見た形状が半導体レーザチップ7の平面形状と同じで半導体レーザチップ7よりも稍大きな位置決め孔22、22、・・・が形成されている。該各位置決め孔22、22、・・・間の位置関係は半導体基板1の半導体レーザチップ7をボンディングすべき各箇所間の位置関係と同じになるようにされている。そして、該位置決め板21の厚さは半導体レーザチップ7のそれよりも適宜薄くされており、又、該位置決め板21の位置は固定されている。一方、揺動台20は第3

図におけるX、Y方向に揺動する機構を内蔵している。

このようにして吸着凹部18、18、・・・上に位置せしめられた半導体レーザチップ7、7、・・・は真空吸着されることによってその位置が固定されることになる。次に、半導体レーザチップ17、17、・・・を吸着凹部18、18、・・・にて真空吸着したチップ吸着具12を第2図(B)に示すように逆さにしてウェハ状の半導体基板1上に置き、各半導体レーザチップ7、7、・・・が各素子形成領域2、2、・・・の半導体レーザチップ7をボンディングすべき部分(半田層4が形成された部分)上に位置されるようにチップ吸着具12の位置を調整する。その後、チップ吸着具12による半導体レーザチップ7、7、・・・に対する真空吸着を停止し、チップ吸着具12を取り去ると第2図(C)のように各半

導体レーザチップ7、7、・・・は傾斜面15を滑るようにしてチップガイド孔14、14、・・・に案内され、そして、チップガイド孔14、14、・・・からチップ吸着具12の吸着凹部18、18、・・・上に落下する。

そして、位置決めをするときは、半導体レーザチップ7、7、・・・をそのボンディング面を上向きにし、そして、レーザ光出射方向が所定方向に向くようにして位置決め板21の吸着凹部22、22、・・・に入れる。半導体レーザチップ7は吸着凹部22に入っただけのときは第3図(B)に示すように吸着凹部22内において遊び、そのθ方向における位置決めが為されていない状態にある。全部の位置決め孔22、22、・・・内に半導体レーザチップ7、7、・・・を入れると、揺動台20の先ず例えばX方向に適宜量揺動し、次に、Y方向に適宜揺動する。すると、第3図(C)に示すように半導体レーザチップ7、7、・・・は位置決め孔22の互いに直角をなして隣接する2つの内側面a、bによってX、Y及びθ方向に位置決めされる。

その後、第4図に示すように位置決め板21上に裏返しにしたウェハ状半導体基板1を各チップ

ボンディングすべき部分が半導体レーザーチップ7、7、・・・上に位置するように位置合せしたうえで置く、そして、その状態で加熱路内に通す等してボンディングする。

尚、位置決めの際して半導体レーザーチップ7のレーザー光出射部が位置決め板21によって損傷されることを防止するために第5図(A)に示すように各位置決め孔22の各内側面を上側に行く程外側に寄るように傾斜させるようにしたり、あるいは同図(B)に示すように各位置決め孔22の各内側面上端部に逃げ用の切欠23を形成したりして、レーザー光出射部が位置決め板21に接触しないようにすることが好ましい場合もある。

発明の効果

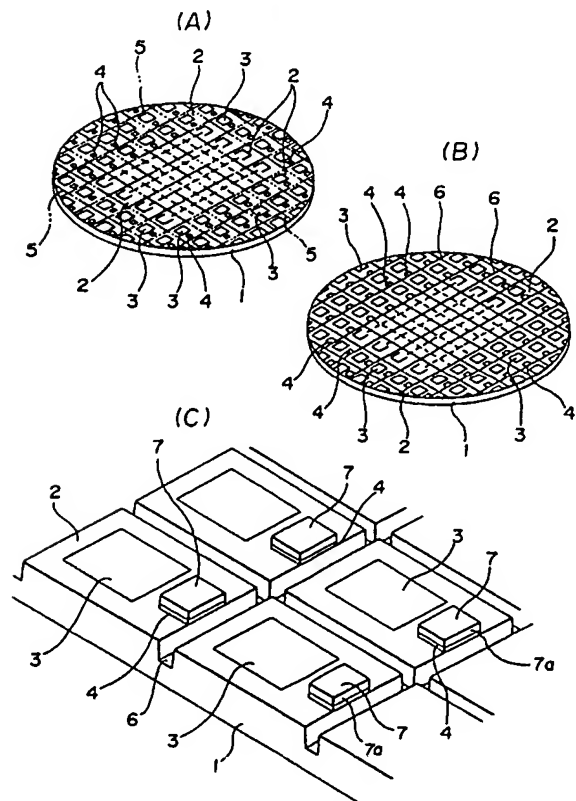
以上に述べたように、本発明半導体装置の製造方法は、半導体ウェハの各素子形成領域内の一部分上に半導体チップをボンディングし、その後ダイシングにより上記各素子形成領域をペレット化する半導体装置の製造方法において、上記半導体

チップの上記一部分上へのボンディングを、各チップボンディング部上に加熱されて溶解する接着層を介して半導体チップを配置した状態で半導体ウェハに対して加熱処理を施すことにより同時に行うことを特徴とするものである。従って、本発明半導体装置の製造方法によれば、半導体ウェハに対して加熱処理を施すことにより半導体ウェハの各素子形成領域のボンディング部と半導体チップとの間に介在せしめられたすべての接着層を同時に溶解させ、全部の半導体チップを同時にチップボンディングすることができる。従って、製造効率が高くなり、半導体装置の製造方法コストを低くすることができる。

4. 図面の簡単な説明

第1図(A)乃至(E)は本発明半導体装置の製造方法の実施の一例を工程順に示す傾斜図、第2図(A)乃至(C)は半導体チップの位置決め方法の一例を工程順に示す断面図、第3図(A)乃至(C)、第4図及び第5図(A)、(B)は半導体チップの位置決め方法の他の例を説明する

第1図



ためのもので、第3図(A)は半導体チップ整列途中における整列装置を示す斜視図、同図(B)は半導体チップ整列途中における位置決め孔内の半導体チップを示す拡大平面図、同図(C)は整列完了後における位置決め孔内の半導体チップを示す拡大平面図、第4図は整列された半導体チップを半導体ウェハ表面に位置決めした状態を示す斜視図、第5図(A)、(B)は半導体チップに損傷を与えない位置決め孔の断面形状の各別の例を示す断面図である。

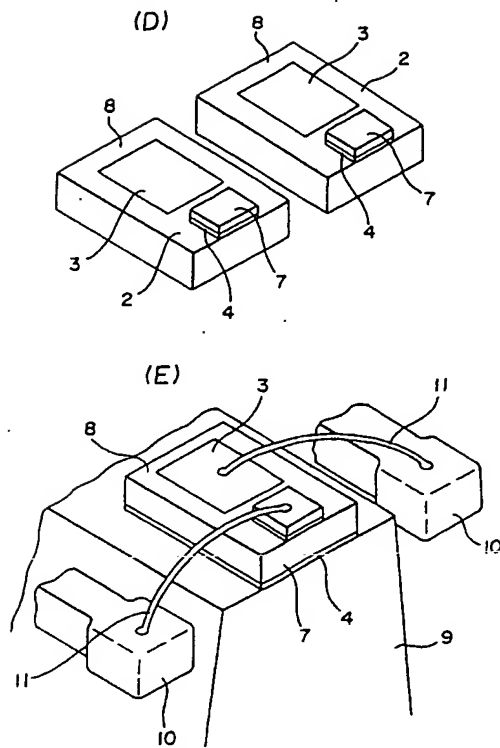
符号の説明

- 1・・・半導体ウェハ、
2・・・素子形成領域、 4・・・接着層、
7・・・半導体チップ

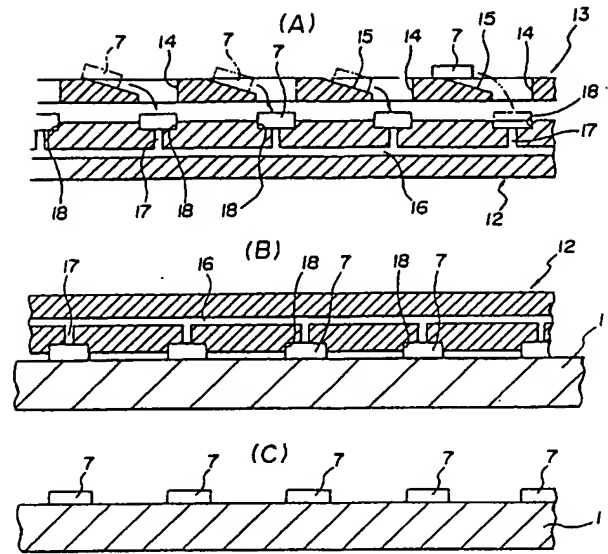
出 願 人 ソ ニ ー 株 式 会 社
代理人弁理士 小 松 祐 治
同 尾 川 秀 昭



第 1 図



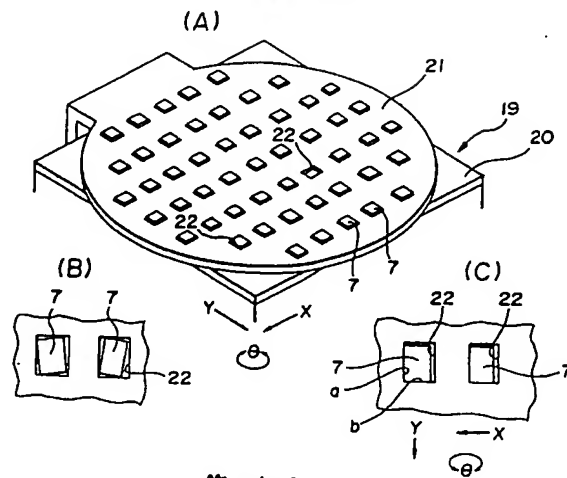
第 2 図



第 5 図



第 3 図



第 4 図

